



AVALANCHE PHOTODIODE AND MANUFACTURE THEREOF

Patent number: JP8111542
Publication date: 1996-04-30
Inventor: BANDAI MASAOKI; YOSHINO TOMOYUKI; AKAMINE TADAO; SAITO YUTAKA; YAMANAKA JUNKO; KOSEKI OSAMU
Applicant: SEIKO INSTR INC
Classification:
- **international:** H01L27/144; H01L31/0203; H01L31/107; H01L27/144; H01L31/0203; H01L31/102; (IPC1-7): H01L31/107; H01L31/02
- **europaean:** H01L27/144B; H01L31/0203B; H01L31/107
Application number: JP19950203061 19950809
Priority number(s): JP19950203061 19950809; JP19940194417 19940818; JP19940193414 19940817

Also published as:

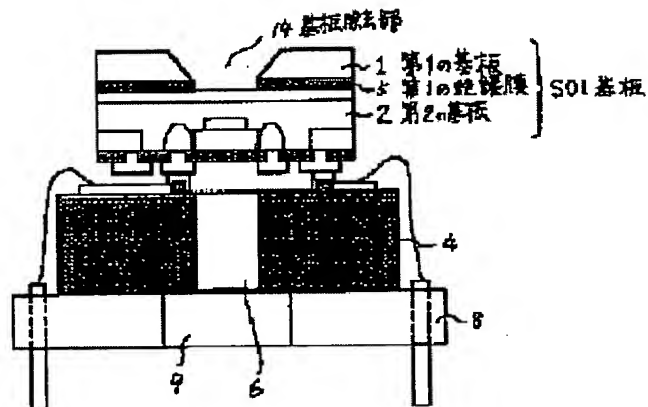
 EP0697743 (A1)
 US5763903 (A1)

Report a data error here

Abstract of JP8111542

PURPOSE: To improve detection sensitivity and time resolution by a method wherein an avalanche photodiode is provided on an FZ-SOI substrate, the substrate is exposed by removing a part of the substrate, and a shallow diffusion layer is formed on the exposed surface.

CONSTITUTION: By having the electrode, to be used to apply voltage to a PN junction part which is formed in an FZ substrate, to come in contact with the electrode formed on the side of a glass substrate 4, they take an electric continuity. Besides, the glass substrate 3, which is junctioned to a substrate 1, is connected to an IC package 8. The electrode on the side of the glass substrate and the lead pin of the IC package 8 are connected by a lead pin, so that they take an electric continuity. Accordingly, when a light signal is made incident from the side of the substrate 1, the irregularity of amplification factor can be prevented because the depth of penetration of radioactive rays and the like into the substrate moves away from the layer which becomes an amplification region when a light signal is made incident from the side of the substrate 1. Besides, as through holes 6 and 9 are formed on the glass substrate 4 and the IC package 8 respectively, the generation of noise of X-ray and the like can be prevented.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-111542

(43) 公開日 平成8年(1996)4月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/107				
31/02				

H 0 1 L 31/ 10	B
31/ 02	B

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号 特願平7-203061

(22) 出願日 平成7年(1995)8月9日

(31) 優先権主張番号 特願平6-194417

(32) 優先日 平6(1994)8月18日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-193414

(32) 優先日 平6(1994)8月17日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002325

セイコー電子工業株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 万代 雅昭

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

(72) 発明者 吉野 朋之

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

(72) 発明者 赤嶺 忠男

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコー電子工業株式会社内

(74) 代理人 弁理士 林 敬之助

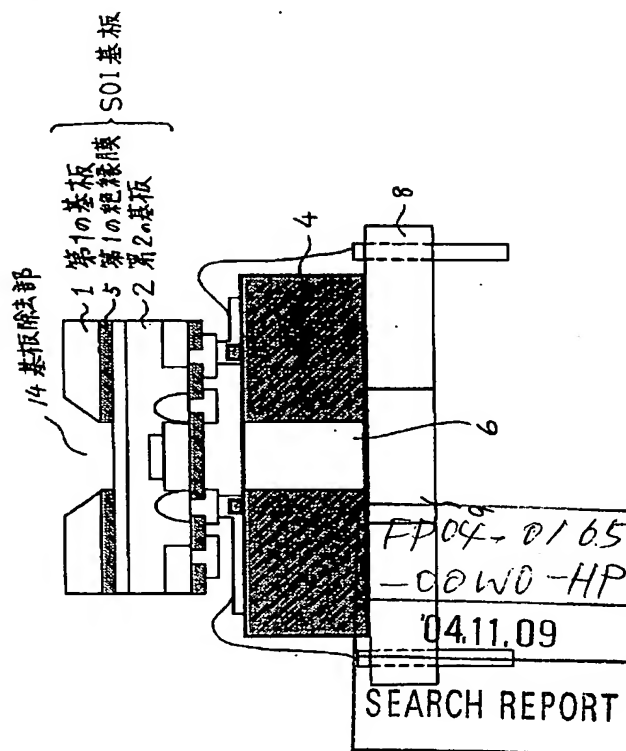
最終頁に続く

(54) 【発明の名称】 アバランシェ・フォト・ダイオード及びその製造方法

(57) 【要約】

【課題】 検出感度および時間分解能のよいアバランシェ・フォト・ダイオードを提供する。

【解決手段】 FZ-SOI基板にアバランシェ・フォト・ダイオードを設け、基板の一部を除去してFZ基板を露出させ、その面に浅い拡散層を形成し、基板とガラス基板を陽極接合法や低融点ガラス等の脱ガスの無い接合法で接合し、更にガラス基板とICパッケージを低融点ガラスや共晶接合法等の脱ガスの無い接合法で接合する。また、ICパッケージのリードピンとガラス基板に形成した電極を電氣的接続することも可能である。更に、X線等を検出するためにはガラス基板とICパッケージに貫通穴を形成する。



【特許請求の範囲】

【請求項 1】 第 1 の基板 (1) 上に第 1 の絶縁膜 (5) を有し、

該絶縁膜 (5) 上に結晶成長されたシリコン半導体基板 (FZ 基板) からなる第 2 の基板 (2) (以上まとめて SOI 基板という) を有し、

該第 2 の基板 (2) には PN 接合が形成されており、

該 PN 接合に電圧を印加するための電極 (3a、3b) が第 2 の基板 (2) の表面上に第 2 の絶縁膜 (7) を挟んで形成されており、

前記第 1 の基板 (1) とガラス基板 (4) を接合し、

該ガラス基板 (4) の第 1 の基板と接合していない面を IC パッケージ (8) に接合し、

前記電極 (3a、3b) と IC パッケージ (8) のリードピン (10) を電気的に接続したことを特徴とするアバランシェ・フォト・ダイオード。

【請求項 2】 前記第 2 の基板 (2) 中の PN 接合の直下部分の少なくとも一部分において、

前記第 1 の基板 (1) が除去されていることを特徴とする請求項 1 記載のアバランシェ・フォト・ダイオード。

【請求項 3】 前記第 1 の基板 (1) は (100) 面方位のシリコン半導体基板であることを特徴とする請求項 2 記載のアバランシェ・フォト・ダイオード。

【請求項 4】 前記第 2 の基板 (2) の前記第 1 の基板 (1) が除去された部分の表面のみが選択的に不純物ドーピングされていることを特徴とする請求項 2 記載のアバランシェ・フォト・ダイオード。

【請求項 5】 第 2 の基板 (2) には PN 接合が形成されており、

該 PN 接合に電圧を印加するための電極 (3a、3b) が第 2 の基板 (2) の表面上に第 2 の絶縁膜 (7) を挟んで形成されており、

前記第 2 の基板 (2) の電極 (3a、3b) 形成面とガラス基板 (4) 上の電極 (11) 形成面を接合し、

前記電極 (3a、3b) とガラス基板 (4) 上の電極

(11) は電気的導通があり、

ガラス基板 (4) 上の電極 (11) を形成した面とは反対の面を IC パッケージ (8) に接合し、

ガラス基板 (4) 上に形成した前記電極 (11) と IC パッケージ (8) のリードピン (10) を電気的に接続したことを特徴とするアバランシェ・フォト・ダイオード。

【請求項 6】 前記ガラス基板 (4) の第 2 の基板 (2) 内の PN 接合形成部の直下部分に貫通穴 (6) が形成され、

さらに、該貫通穴 (6) と前記 PN 接合形成部を直線的に結ぶ位置である IC パッケージ (8) に貫通穴 (9) が形成されたことを特徴とする請求項 1 または請求項 5 記載のアバランシェ・フォト・ダイオード。

【請求項 7】 前記第 2 の基板 (2) 中の PN 接合の直

下部分の少なくとも一部分において、

前記第 1 の基板 (1) が除去されていることを特徴とする請求項 6 記載のアバランシェ・フォト・ダイオード。

【請求項 8】 前記第 2 の基板 (2) の前記第 1 の基板が除去された部分の表面のみが選択的に不純物がドーピングされており、

該不純物がドーピングされている領域と電気的に接続するために前記第 1 の基板 (1) の第 2 の基板と接合していない面上に電極 (3a) を形成し、

PN 接合部への電圧印加は第 2 の基板の表面に形成した電極 (3b) と電極 (3a) から行ない、ガラス基板上電極 (11) と前記電極 (3b) は接触して電気的導通が取れており、

該ガラス基板 (4) 上に形成した前記電極 (11) 及び第 1 の基板 (1) 上に形成した電極 (12) と IC パッケージ (8) のリードピン (10) を電気的に接続したことを特徴とする請求項 7 記載のアバランシェ・フォト・ダイオード。

【請求項 9】 アバランシェ・フォト・ダイオードの製造方法において、

(a) ガラス基板の一方の面に金属薄膜を形成する工程と、

(b) 前記金属薄膜をパターニングする工程と、

(c) パターニングされたフォトレジストをマスクとして金属薄膜をエッチングする工程と、

(d) 前記金属薄膜をマスクとしてガラス基板を弗酸系の薬品でエッチングする工程と、

(e) 前記マスクとしていたフォトレジスト及び金属薄膜を除去する工程と、からなる FZ 基板表面を保護するためのガラスカバーを加工する工程と、

(f) 前記ガラスカバーのエッチングをした面とアバランシェ・フォト・ダイオードを形成した SOI 基板の FZ 基板面を対向させ、ガラスカバーの金属薄膜を除去した部分と FZ 基板を接合させて FZ 基板を保護する工程と、

(g) CZ 基板のシリコン窒化膜を除去した部分をアルカリ系の薬品でエッチングし、SOI 基板中のシリコン酸化膜でエッチングの進行を停止させてダイヤフラムを形成する工程と、

(h) ガラス基板の肉薄部分 (ガラス基板エッチング部分) をガラス基板側からガラス基板が貫通しない深さまでダイシングする工程と、

(i) CZ 基板側から前記ガラス基板に加工したダイシングラインと相対的な位置関係にある部分を CZ 基板を貫通させない深さまでダイシングする工程と、ガラスカバーと SOI 基板を折曲してガラスカバーを除去する工程からなることを特徴とするアバランシェ・フォト・ダイオードの製造方法。

【請求項 10】 アバランシェ・フォト・ダイオードの製造方法において、

- (a) ガラス基板側に金属薄膜を形成し、フォトリソを塗布し、パターニングする工程と、
- (b) 該パターニングしたフォトリソに従って金属薄膜をエッチングし、該金属薄膜をマスクとしてガラス基板を弗酸系の薬品でエッチングする工程と、
- (c) マスクとして使用した金属薄膜及びフォトリソを除去する工程と、
- (d) ガラス基板表面に金属薄膜を形成し、フォトリソを塗布し、パターニングする工程と、
- (e) パターニングしたフォトリソに従って金属薄膜をエッチングし、パターニングされた金属薄膜をマスクとしてガラス基板を弗酸系の薬品でエッチングする工程と、
- (f) マスクとして使用した金属薄膜及びフォトリソを除去する工程と、
- (g) ガラス基板側の電極となる金属薄膜をガラス基板のエッチング加工を施した面にスパッタ法や蒸着法等で形成し、該金属薄膜をフォトリソグラフィ技術によってエッチングし、パターニングする工程と、
- (h) SOI 基板の FZ 基板面上の電極とガラス基板上に形成した電極を接触させて位置合わせし、接合する工程からなることを特徴とするアバランシェ・フォト・ダイオードの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光検出、X線検出、電子線検出等に利用できるアバランシェ・フォト・ダイオードおよびその製造方法に関する。

【0002】

【従来の技術】従来、アバランシェ・フォト・ダイオードは、図20に示すようにFZ基板20上にSiをエピタキシャル成長させたエピタキシャルπ層21を設けた半導体基板を用いていた。また、図22に示す様にFZ基板の一部である厚さdを数10μmにして用いることもあった。このような半導体基板を図21、図23に示すように直接ICパッケージに接合し、電極3a及び3bとICパッケージのリードピン10を金属ワイヤー15でボンディングして接続し電氣的導通を取っていた。

【0003】

【発明が解決しようとする課題】従来のアバランシェ・フォト・ダイオードは、前述したような半導体基板構成をとっているが、以下のような解決すべき課題があげられる。FZエピタキシャル基板の構成をとった場合、第1に基板中の酸素含有量が少ないため物理的強度が弱く、製造工程中の熱処理で基板に変形（ウェハーのそり）が生じたり、ディスロケーションスリップが増加したりすることで、その後の工程を継続することが困難になったり、製造されたデバイスの特性が悪化するという課題があった。

【0004】また、第2に、アバランシェ・フォト・ダ

イオードでX線などを検出する場合図20のFZ基板20からなるP⁺層は入射線の散乱領域となるのでその幅はできるだけ短い方がよいのであるが、電極22とのコンタクト抵抗を低くするために少なくとも数μmの幅が必要であり、X線等が入射した際に空乏層中で発生するキャリアによる電流の他に、この領域で発生したキャリアが遅れて空乏層に拡散することによる電流が存在し、アバランシェ・フォト・ダイオードの時間分解能が低下するという課題があった。

【0005】厚さ数10μmのFZ基板を用い、かつ図20におけるP⁺層20の厚みが薄い場合には、前記した時間分解能の問題は避けられるが、基板が薄いため通常のFZ基板の場合以上に物理的強度が弱く、熱処理工程によるウェハーのそりやディスロケーションスリップの増加による製造分留り低下の問題や逆バイアスリーク電流の増加等のデバイス性能の低下の問題はより深刻になる。

【0006】図22に示す従来例のようにFZ基板27の一部分をエッチングまたは研磨して数10μmに薄くした後に、P⁺層20を形成する場合には、前記した機械的強度及び時間分解能の問題は改善される。しかし、残したシリコンウェハdの厚さを精度良く制御することは困難であり、シリコン表面23の平面度や結晶性は元のウェハ表面に遠く及ばない。シリコンをドライエッチする場合には、シリコン表面は非常に荒れてエッチング時のダメージによる結晶欠陥が導入されるし、ウェットエッチする場合には、エッチピット等が発生し易い。従ってそこに形成したデバイスの性能は悪化する。

【0007】以上の様なアバランシェ・フォト・ダイオードを実装した例を図21及び図23に示したが、直接ICパッケージに実装しても物理的強度が弱く、ワイヤーボンディングする際に破壊したり、基板に変形（ウェハーのそり）が生じ、製造されたデバイスの特性が悪化するという課題があった。また、高温の雰囲気中使用する場合ICパッケージの蓄熱によるアバランシェ・フォト・ダイオードへの熱の影響によって特性を大きく悪化させていた。

【0008】

【課題を解決するための手段】上記目的を達成するために本発明が採用した手段は、第1の基板上に第1の絶縁膜を有し、該絶縁膜上に結晶成長されたシリコン半導体基板（FZ基板）からなる第2の基板を有し、該第2の基板にはPN接合が形成されており、該PN接合に電圧を印加するための電極が第2の基板の表面上に第2の絶縁膜を挟んで形成されており、第1の基板とガラス基板を接合し、該ガラス基板の第1の基板と接合していない面をICパッケージに接合し、電極とICパッケージのリードピンを電氣的に接続したことを特徴とする。

【0009】また、本発明の第2の基板にはPN接合が形成されており、該PN接合に電圧を印加するための電

極が第2の基板の表面上に第2の絶縁膜を挟んで形成されており、第2の基板の電極形成面とガラス基板上の電極形成面を接合し、電極とガラス基板上の電極は電氣的導通があり、ガラス基板上の電極を形成した面とは反対の面をICパッケージに接合し、ガラス基板上に形成した電極とICパッケージのリードピンを電氣的に接続したことを特徴とする。

【0010】さらに、本発明の製造方法においては、FZ基板表面を保護するためのガラスカバーを加工する工程とCZ基板のシリコン窒化膜を除去した部分をアルカリ系の薬品でエッチングし、SOI基板中のシリコン酸化膜でエッチングの進行を停止させてダイヤフラムを形成する工程と、ガラスカバーの肉薄部分をガラスカバー側からガラスカバーが貫通しない深さまでダイシングする工程と、CZ基板側からガラスカバーに加工したダイシングラインと相対的な位置関係にある部分をCZ基板を貫通させない深さまでダイシングする工程と、ガラスカバーとSOI基板を折曲してガラスカバーを除去する工程からなることを特徴とする。

【0011】さらにまた、ガラス基板側に金属薄膜を形成し、フォトレジストを塗布し、パターニングする工程と、ガラス基板を弗酸系の薬品でエッチングする工程と、マスクとして使用した金属薄膜及びフォトレジストを除去する工程と、ガラス基板表面にパターニングする工程と、パターニングしたフォトレジストに従って金属薄膜をエッチングし、ガラス基板を弗酸系の薬品でエッチングする工程と、金属薄膜及びフォトレジストを除去する工程と、金属薄膜をガラス基板のエッチング加工を施した面に形成し、パターニングする工程と、SOI基板のFZ基板面上の電極とガラス基板上形成した電極を接触させて位置合わせし、接合する工程からなることを特徴とする。

【0012】

【作用】このように構成されたアバランシェ・フォト・ダイオードにおいて、FZ基板を薄くしても物理的強度は強く、かつ入射線の散乱領域を薄くすることができ、さらに、熱処理工程中での基板の変形（ウエハの反り）、ディスロケーションスリップの発生が減少する。また、第1の基板の一部を除去した構成ではこの部分から電子線等の入射が可能になる。さらに、ICパッケージへ実装の際にPN接合を形成した基板を直接ICパッケージに接合しない構成なので周囲温度の上昇によってICパッケージに蓄積される熱の影響を受けなくなった。

【0013】また、アバランシェ・フォト・ダイオードの製造方法において、シリコン基板表面の素子を保護するために、凹部を持ったガラスカバーを形成する工程を入れたので素子の表面がアルカリ系の薬品によってエッチングされることがなくなった。さらに、予めガラス基板に電極を形成し、ガラス基板上の電極とアバランシェ

・フォト・ダイオードの電極が接触するように位置合わせしてガラス基板とSOI基板を接合したのでガラス基板上の電極に電圧を印加することによりFZ基板に形成されたPN接合に逆バイアスをかけることができる。

【0014】

【実施例】以下に、本発明の実施例を図面に基づいて説明する。図1は、本発明の第1の実施例を示すアバランシェ・フォト・ダイオードの模式的断面図である。例えばシリコンからなる第1の基板1（以下、基板1と言う）と、例えば $50\Omega \cdot \text{cm}$ 以上の比抵抗のP型シリコンからなる第2の基板2（以下、FZ基板2と言う）との間に、例えば熱酸化あるいはCVDによる SiO_2 からなる絶縁膜5が形成されている。FZ基板2の基板1と反対側の表面には、例えばヒソまたはリンをドーピングしたN型層16と、これに接し、かつまわりを取り囲んで例えばリンをドーピングしたN型層17と、N型層17を接することなく取り囲んだ例えばボロンをドーピングした P^+ 層18が形成されている。N型層16の下部にはこれに接して例えばボロンをドーピングした P^+ 層19が形成されている。FZ基板2の上面には例えば熱酸化による SiO_2 からなる絶縁膜7が形成されている。FZ基板2の基板1側の表面には、例えばボロンをドーピングした P^+ 層24が形成されている。絶縁膜7上には、N型層17及び P^+ 層18の電極である電極3a及び3bが形成されている。

【0015】基板1は、製造工程中にFZ基板を補強する効果を持つので、熱膨張係数が等しいシリコン基板が望ましく、高温の半導体製造工程における高温の熱処理プロセスを考えると、熱処理に強いチヨコラルスキー法により結晶成長されたシリコンCZ基板が最も望ましい。また、FZ基板の厚さは、少なくとも $100\mu\text{m}$ 、望ましくは $200\mu\text{m}$ 以上必要である。

【0016】本実施例の構造をとると、FZ基板の比抵抗をエピタキシャル層では得られない数 $\text{k}\Omega \cdot \text{cm}$ 以上にすることも可能になる。また、エピタキシャル基板を用いた場合には研磨して薄くしても数 μm 以下にできない P^+ 層24を、本実施例の構造では $1\mu\text{m}$ 以下に形成することが容易であり、これによりアバランシェ・フォト・ダイオードの時間分解能を良くすることができる。

【0017】従来のアバランシェ・フォト・ダイオードのFZ基板の厚みが $100\mu\text{m}$ 以下の場合には、熱処理その他の製造工程中の基板の割れやディスロケーションスリップの増加による製造分留りの低下及び逆バイアスリーク電流の増加等のデバイス性能の低下の問題が大きくなる。またFZ基板が $10\mu\text{m}$ 以下では、X線の検出効率が実用的でない。従って、FZ基板厚さが $10\mu\text{m}$ から $100\mu\text{m}$ の場合に本実施例の効果は大きい。

【0018】図2は、本発明の第2の実施例を示すアバランシェ・フォト・ダイオードの模式的断面図である。本実施例は、第1の実施例の基板1の一部が除去され

ており基板開口部 14 を持っている。FZ 基板 1 中の N 型層 16 と P 土層 19 の接する部分にある PN 接合の直下部分の少なくとも一部分において、開口部 14 は設けられている。開口部 14 においては絶縁膜 5 も除去されている。その他は第 1 の実施例と同様である。

【0019】開口部 14 から放射線等を入射させる場合や、X 線の検出に本実施例のアバランシェ・フォト・ダイオードを積層して用いる場合には、図 2 のように絶縁膜 5 は除去されている方が望ましいが、可視光等を 14 から入射させる場合には 150nm 以下の酸化膜であれば絶縁膜 5 があっても良い。また、開口部 14 から電子線や光等を入射させる場合には、増幅領域となる P 型層 19 よりも開口部 14 が小さい方が、入射位置による増幅率のばらつきが小さくなるので望ましい。

【0020】N 型層 16 の側から放射線等を入射させた場合、入射した放射線等のシリコンへの進入深さが増幅領域となる P 土層 19 に近いと、増幅率がばらついたり低くなったりするが、本実施例のアバランシェ・フォト・ダイオードを用いて開口部 14 から入射させれば、そのような問題は発生しない。従って第 2 の実施例においては開口部 14 から放射線等を入射した場合に、より良好な特性が得られ、また P 型層 19 を 1 μ m 以下に形成して検出効率をよくすることの意義が大きい。

【0021】第 2 の実施例においては、基板 1 をシリコンの面方位 (100) 基板にすると、水酸化カリウム水溶液等を用いた異方性エッチングにより、基板 1 を除去した (111) 方位の壁の部分と開口部 14 とが鈍角で交差するために、開口部 14 のエッジに大きな応力が集中することが緩和されるので、機械的強度を比較的強くすることができる。

【0022】図 3 は、本発明の第 3 の実施例を示すアバランシェ・フォト・ダイオードの模式的断面図である。本実施例においては、前記第 2 の実施例では P⁺ 層 18 にコンタクトしていた電極 3b が、FZ 基板 2 の基板 1 側の P⁺ 層 24 にコンタクトするように形成されている。また、電極 3b と基板 1 の間には、例えば酸化膜からなる絶縁膜 25 が形成されている。

【0023】開口部 14 から電子線や光等を入射させる場合には、第 2 の実施例で述べたと同様に、増幅領域となる P 型層 19 よりも開口部 14 が小さい方が、入射位置による増幅率のばらつきが小さくなるので望ましい。本実施例においては、厚さ 100 μ m 以上の基板 1 に比べて 100 分の 1 程度の厚さの電極 3b により開口部 14 の大きさ及び形を設定できるので、その形状の精度が増し、マージン分寸法を小さく製造できる。その他は第 1 の実施例と同様である。

【0024】本実施例の構造にすることにより、電極間の直列抵抗を小さくできるので、信号の時間分解能のより優れたアバランシェ・フォト・ダイオードを得ることができる。図 4 は、本発明の第 4 の実施例を示すアバ

ランシェ・フォト・ダイオードの模式的断面図である。基板 1 と FZ 基板 2 との間には絶縁膜 5 が形成されている。FZ 基板 2 の基板 1 側の表面には、例えばヒソまたはリンをドーピングした N 型層 16 と、これに接し、かつまわりを取り囲んで例えばリンをドーピングした N 型層 17 と、N 型層 17 に接すること無く取り囲んだ、例えばボロンをドーピングした P 型層 18 が形成されている。N 型層 16 の下部にはこれに接して例えばボロンをドーピングした P 土層 19 が形成されている。FZ 基板 2 の基板 1 側と反対の表面には、例えばボロンをドーピングした P⁺ 層 24 およびその電極である電極 3b が形成されている。また、電極 3a と基板 1 の間には、例えば酸化膜からなる絶縁膜 26 が形成されている。

【0025】本実施例は、実施例 2 の FZ 基板 2 を基板 1 に対して上下を逆にした構造である。第 2 の実施例ではシリコンへの進入深さの比較的小さい放射線等の計測には、増幅領域である P 土層 19 の反対側の P⁺ 層 24 の側からの入射が望ましいのに対し、本実施例のように P⁺ 層 24 を基板 1 と離れた位置に設ければ、入射側に FZ 基板 2 がないので P 型層を放射線源等に近づけて計測できるようになる。

【0026】図 5 は本発明によるアバランシェ・フォト・ダイオードの一実施例を示す断面図である。本実施例では、アバランシェ・フォト・ダイオードを形成していない基板 1 とガラス基板 4 を接合して基板 1 と接合している FZ 基板 2 の機械的強度を更に向上させている。基板 1 とガラス基板 4 との接合には、両基板を 400~500℃ に加熱した状態で 200~400V の電圧をかけて接合する陽極接合法で行った。今回の様に陽極接合法で行えば接着層が無いので脱ガスが無く真空中でも測定可能になる。その他の接合方法としては低融点ガラス等を用いた接合も可能である。

【0027】図 6 は本発明によるアバランシェ・フォト・ダイオードの一実施例を示す断面図である。本実施例では FZ 基板 2 内に形成した PN 接合部と直線的な位置関係にあるガラス基板 4 の一部及び IC パッケージ 8 の一部には貫通穴 6 及び 9 を形成した。これらの貫通穴は X 線などを検出する際には必要になる。図 5 の様に貫通穴を形成していない構造では一般的な光であれば問題はないが、X 線などを検出する際には問題になる。それは、FZ 基板 2 から入射した X 線は基板 1 を透過した後にはガラス基板 4 と衝突し散乱されて再び基板 1 内に戻ってくる。これがノイズとなって検出されてしまうためである。また、図 6 の様に貫通穴を形成することにより IC パッケージ側からの光入射も可能になる。

【0028】図 7 は本発明によるアバランシェ・フォト・ダイオードの一実施例を示す断面図である。本例では PN 接合部へ電圧を印加するための電極 3a 及び 3b とガラス基板 4 上に形成した電極 11 を向かい合わせて接合させて電氣的導通を取っている。従ってガラス基板上

の電極 11 と IC パッケージ 8 のリードピン 10 を接続し、リードピンに電圧を印加することにより PN 接合部に電圧を印加する事ができた。

【0029】図 8 は本発明によるアバランシェ・フォト・ダイオードの一実施例であり、図 7 に示した実装例のガラス基板 4 と IC パッケージ 8 に貫通穴 6 及び 9 を形成したものである。本発明による効果は上述の通り X 線等の検出にも利用できる点である。

【0030】図 9 は本発明によるアバランシェ・フォト・ダイオードの一実施例であり、基板 1 においては、PN 接合部の直下部分 14 を除去した構造を取っている。これは有感領域のみを形成するために不感領域を除去したものである。本例ではこの様なダイヤフラムの形成方法を水酸化ナトリウム水溶液等のアルカリ液による異方性エッチングで行った例を示している。この様な構造にする事で不感領域に入射したエネルギーによるリーク電流をより抑える事ができ、より応答性の良いアバランシェ・フォト・ダイオードを実現できた。この様に PN 接合部は FZ 基板 2 内に形成されていて、その厚みは数 10 μm である。従って機械的強度をさらに強くするためにガラス基板 4 と接合し、更には高温の雰囲気で使用した場合でも IC パッケージ 8 の熱の蓄積による影響を直接受けないようにした。本構造にした場合 PN 接合部へ電圧印加する電極 3a、3b は基板 1 が残っている領域上まで広げる必要がある。それはワイヤボンディング等で電極とリードピンを接続する際にダイヤフラムを破壊する可能性が高いからである。

【0031】図 10 は本発明によるアバランシェ・フォト・ダイオードの一実施例であり、図 9 に示した構造のガラス基板 4 及び IC パッケージ 8 に貫通穴 6 及び 9 を形成したものである。これは X 線等を入射する場合に必要な。X 線は基板を透過した後でガラス基板と衝突し、散乱するためノイズを発生してしまう。また、IC パッケージ 8 側からの入射も可能になる。更には、アバランシェ・フォト・ダイオードを連結した構造も取ることができる。

【0032】図 11 は、本発明によるアバランシェ・フォト・ダイオードの一実施例を示す模式的断面図である。このタイプは FZ 基板 2 内に形成した PN 接合部へ電圧を印加するための電極 3a、3b をガラス基板 4 側に形成した電極 11 と接触させることにより電気的導通を取っている。FZ 基板 2 とガラス基板 4 の接合は陽極接合法や低融点ガラスによる接合法等で行った。更に、基板 1 と接合したガラス基板 4 は IC パッケージ 8 と接合した。この接合には共晶接合や低融点ガラス、または脱ガスの無いセラミックス系の接着剤を使用して接合する。電気的接続はガラス基板側電極 11 と IC パッケージのリードピン 10 を金属ワイヤー 15 で接続して電気的に導通を取っている。この様な構造にすることにより基板 1 側から光信号を入射できる。この方向から入

射すると放射線等の基板への進入深さが増幅領域となる層から遠くなるため増幅率がばらついたり、低くなったりすることが無い。

【0033】図 12 は、本発明によるアバランシェ・フォト・ダイオードの一実施例を示す模式的断面図である。本例では図 11 で述べた構造に加えて、ガラス基板 4 と IC パッケージ 8 にそれぞれ貫通穴 6 と貫通穴 9 を形成してある。これは X 線等を入射する場合に必要な。X 線は基板を透過した後でガラス基板と衝突し、散乱するためノイズを発生してしまう。また、IC パッケージ 8 側からの入射も可能になる。更には、アバランシェ・フォト・ダイオードを連結した構造も取ることができる。

【0034】図 13 は本発明によるアバランシェ・フォト・ダイオードの一実施例を示す模式的断面図である。本例では図 3 に示したアバランシェ・フォト・ダイオードを実装した例である。基板 1 とガラス基板 4 を接合すると同時に電極 3b がガラス基板 4 上の電極 11 と接触して電気的導通を取っている。電極 3b は FZ 基板 2 の基板 1 側の P⁺ 層 24 にコンタクトするように形成されている。また、電極 3b と基板 1 の間には、例えば酸化膜からなる絶縁膜 25 が形成されている。従って、電極 3a と電極 11 を各々 IC パッケージ 8 のリードピン 10 に金属ワイヤー 15 等で接続することにより、リードピン 10 に電圧を印加すれば PN 接合に電圧がかかる事になる。

【0035】図 14 は本発明によるアバランシェ・フォト・ダイオードの一実施例を示す模式的断面図である。本例では図 13 に示したアバランシェ・フォト・ダイオードの構造に加えて、ガラス基板 4 と IC パッケージ 8 に貫通穴 6 を及び 9 を形成した状態である。これは X 線等を入射する場合に必要な。X 線は基板を透過した後でガラス基板と衝突し、散乱するためノイズを発生してしまう。また、IC パッケージ 8 側からの入射も可能になる。更には、アバランシェ・フォト・ダイオードを連結した構造も取ることができる。

【0036】図 15 は本発明によるアバランシェ・フォト・ダイオードの一実施例であり、図 4 に示したアバランシェ・フォト・ダイオードを実装した例である。PN 接合部への電圧の印加は電極 3a、及び 3b をリードピン 10 へ接続してそこから行っている。本構造によれば FZ 基板 2 とガラス基板 4 との接合領域が増えるため機械的強度が向上する。

【0037】図 16 は本発明によるアバランシェ・フォト・ダイオードの一実施例であり、図 15 に示した構造のガラス基板 4 と IC パッケージ 8 に貫通穴 6 及び 9 を形成したものである。貫通穴を X 線等を入射する場合に必要な。X 線は基板を透過した後でガラス基板と衝突し、散乱するためノイズを発生してしまう。また、IC パッケージ 8 側からの入射も可能になる。更には、

アバランシェ・フォト・ダイオードを連結した構造も取ることができる。

【0038】図17は本発明によるアバランシェ・フォト・ダイオードの一実施例を示す模式的断面図である。ICパッケージに実装前の状態で、アバランシェ・フォト・ダイオードとガラス基板を接合させたときの様子を示している。FZ基板2内に形成したPN接合部へ電圧を印加するための電極3a、及び3bはガラス基板4上の電極11と接触している。また、ガラス基板には電極を接触しやすい様に凸部28が形成してあり、該凸部28上に電極11が形成してある。

【0039】図18は本発明によるアバランシェ・フォト・ダイオードの実施例を示した図17をA方向から見たときの上面図である。(100)の面方位を持つ基板1を異方性エッチングしてした場合(111)面29が現れる。シリコン表面23はFZ基板2のなかに形成した図17に示したP⁺層24の表面である。また、ガラス基板4上には電極11が形成されている。

【0040】図19は本発明によるアバランシェ・フォト・ダイオードの一実施例であり、図17をB方向から見たときの模式的上面図である。ガラス基板4上の電極11はPN接合部へ電圧を印加する電極3a、3bと接触している。従って、このガラス基板上の電極へ電圧を印加することでアバランシェ・フォト・ダイオードとして機能する。また、ガラス基板4には貫通穴6が形成されていて、X線等がガラス基板に衝突するのを避けている。

【0041】図24～25は本発明によるアバランシェ・フォト・ダイオードの製造工程である。図24は、図1に示したアバランシェ・フォト・ダイオードを図2に示したアバランシェ・フォト・ダイオード(センシング部分を異方性エッチングで薄くした物)にするための製造方法の一実施例を示した図である。このうち、図24(a)～(e)はエッチングしない方の面をエッチング液から保護するためのガラスカバー101aを作る工程を示している。

【0042】図24(a)は加工前のガラス基板101を表している。図24(b)はガラス基板101上に金属薄膜102を形成したところである。図24(c)は金属薄膜102上にフォトレジスト103を形成したところである。

【0043】図24(d)は、更に金属薄膜102上のフォトレジスト103と金属薄膜102をフォトリソグラフィ技術によってパターンニングしたところである。図24(e)は前工程で形成した金属薄膜102とフォトレジスト103をマスクとしてガラス基板を弗酸系の薬品でエッチングした工程である。さらに、図示はしていないが、フォトレジスト103、金属薄膜102をエッチングにより取り除き、凹部を有するガラスカバー101aを得る。

【0044】図25(f)は図24(e)工程までで形成した形成したガラスカバー101aとアバランシェ・フォト・ダイオード素子104を貼り合わせたところである。貼り合わせる方法としては陽極接合法や低融点ガラスを用いた方法、または共晶接合法などで行うことができる。この工程は次の(g)工程でシリコン基板106をエッチングする際に薬品からアバランシェ・フォト・ダイオード素子表面を保護するために行うものである。

【0045】(g)工程では、シリコン窒化膜105をマスクとしてシリコン基板106を水酸化カリウム等のアルカリ薬品でエッチング異方性エッチングしたところを表している。シリコン基板106のエッチングは弗酸系の薬品で等方性エッチングする事も可能である。シリコン基板106のエッチングはアバランシェ・フォト・ダイオード素子104を形成しているSOI基板(課題を解決するための手段の第一の手段で説明した絶縁膜を挟んでシリコン半導体基板をはりあわせた構造の基板をSOI基板と呼ぶ)のシリコン酸化膜107でエッチングがストップしたようになる。ここで薬品から取り出して洗浄を行う。その後、シリコン酸化膜を弗酸系の薬品でエッチングして除去したところが図25(g)である。

【0046】図25(h)はガラスカバー101aとアバランシェ・フォト・ダイオード素子104の両方からダイシングを行ったところである。この時、ガラスカバー101aとアバランシェ・フォト・ダイオード素子104を同時にダイシングしてしまうとダイシング時の冷却水が切り粉を巻き込み、それがアバランシェ・フォト・ダイオード素子104表面に付着して除去できなくなることが多い。このため、図25(h)に示したダイシングライン111で示した深さまでダイシングを止め、シリコン基板、ガラスカバー101aとも完全に切断しないようにする。図25(i)は、図25(h)で示した工程で行ったダイシングライン111に従って折曲げて、表面のガラス基板を除去及びアバランシェ・フォト・ダイオード素子104のウェハから切り離すことによりアバランシェ・フォト・ダイオード素子を完成させたところである。

【0047】図26は、図7等にした実施例に用いているガラス基板の製法を表したものである。本工程はアバランシェ・フォト・ダイオード素子104に電極を形成したガラス基板4を接合して、ガラス基板側の電極へ逆バイアスを印加することによりアバランシェ・フォト・ダイオード素子としての機能を得るためのものである。

【0048】図26(a)は加工前のガラス基板4を表している。図26(b)はガラス基板に超音波加工等で貫通穴6を形成したところである。この貫通穴は、アバランシェ・フォト・ダイオード素子へX線等が入射した

際にガラス基板によって反射されるのを防ぐ為に形成している。

【0049】図26(c)はガラス基板をエッチング加工するために金属薄膜102及びフォトレジスト103をガラス基板4上に成膜し、パターンニングした状態である。図26(d)は(c)で形成した金属薄膜102とフォトレジスト103に従ってガラス基板4をエッチングしたところである。

【0050】図26(e)はガラス基板のエッチング後の状態であり、本図中の凸部108がアバランシェ・フォト・ダイオード素子と後工程で接合する部分である。図26(f)は更に二回目のガラスエッチングを行うために金属薄膜102及びフォトレジスト103をガラス基板4上に成膜したところである。

【0051】図27(g)は前工程で成膜した金属薄膜102とフォトレジスト103をパターンニングしたところである。図27(h)は(g)工程で形成した金属薄膜102とフォトレジスト103に従ってガラス基板をエッチングしたところである。

【0052】図27(i)はガラス基板のエッチング後の状態であり、本工程で形成された凸部109は後工程でアバランシェ・フォト・ダイオード素子と接触して電氣的接続を取る部分である。図27(j)はガラス側電極の電極材になるアルミ等の金属薄膜102を成膜し、パターンニングしたところである。

【0053】図27(k)は(j)迄の工程で完成したガラス基板とアバランシェ・フォト・ダイオード素子を接合したところである。接合方法としては、陽極接合法や低融点ガラスを用いる方法等がある。

【0054】

【発明の効果】以上説明したように、本発明によれば、FZ-SOI基板にアバランシェ・フォト・ダイオードを設け、基板1の一部を除去してFZ基板を露出させ、その面に浅い拡散層を形成したので、非常に検出感度及び時間分解能が高いアバランシェ・フォト・ダイオードとすることができた。更に、これらのアバランシェ・フォト・ダイオードとガラス基板を接合して種々な方法で実装出来るようになった。その効果としては、より機械的強度が増し、基板の反りや変形を防止できた。基板とガラス基板の接合には陽極接合法や低融点ガラス等で行うと脱ガスが無いため真空中で使用する事も出来るようになった。更に、ガラス基板及びICパッケージに貫通穴を形成することで光検出に限らないでX線等の検出もできるようになった。

【図面の簡単な説明】

【図1】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図2】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図3】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図4】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図5】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図6】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図7】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図8】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図9】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図10】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図11】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図12】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図13】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図14】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図15】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図16】本発明によるアバランシェ・フォト・ダイオードの一実施例を示した模式的断面図である。

【図17】本発明によるアバランシェ・フォト・ダイオードの一実施例を示したもので、ICパッケージへ実装する前の模式的断面図である。

【図18】本発明によるアバランシェ・フォト・ダイオードの一実施例を示したもので、図17のA方向から見た模式的上面図である。

【図19】本発明によるアバランシェ・フォト・ダイオードの一実施例を示したもので、図17のB方向から見た模式的上面図である。

【図20】従来のアバランシェ・フォト・ダイオードを示した模式的断面図である。

【図21】従来のアバランシェ・フォト・ダイオードを示した模式的断面図である。

【図22】従来のアバランシェ・フォト・ダイオードを示した模式的断面図である。

【図23】従来のアバランシェ・フォト・ダイオードを示した模式的断面図である。

【図24】本発明によるアバランシェ・フォト・ダイオードの製造方法を示した断面図である。

【図25】本発明によるアバランシェ・フォト・ダイオードの製造方法を示した断面図である。

【図26】本発明によるアバランシェ・フォト・ダイオードの製造方法を示した断面図である。

【図27】本発明によるアバランシェ・フォト・ダイオードの製造方法を示した断面図である。

【図28】本発明によるアバランシェ・フォト・ダイオードの製造方法を示した断面図である。

【図29】本発明によるアバランシェ・フォト・ダイオードの製造方法を示した断面図である。

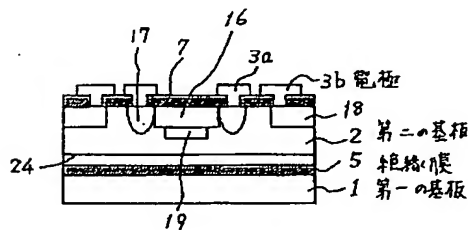
【図27】本発明によるアバランシェ・フォト・ダイオードの製造方法を示した断面図である。

【符号の説明】

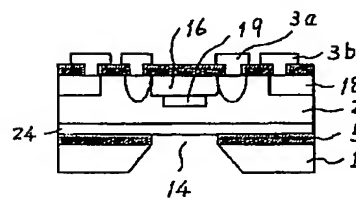
- 1 第1の基板
2 第2の基板 (FZ基板)
3、3a、3b、11、12、110 電極
4 ガラス基板
5、7、25、26 絶縁膜
6、9 貫通穴
8 ICパッケージ
10 リードピン
14 基板開口部
15 金属ワイヤー
16、17 N型層
18、24 P⁺層

- 19 P⁺層
23 シリコン表面
27 FZ基板
28、108、109 凸部
29 (111)面
101 ガラス基板
101a ガラスカバー
102 金属薄膜
103 フォトレジスト
104 アバランシェ・フォト・ダイオード素子
105 シリコン窒化膜
106 シリコン基板
107 シリコン酸化膜
111 ダイシングライン

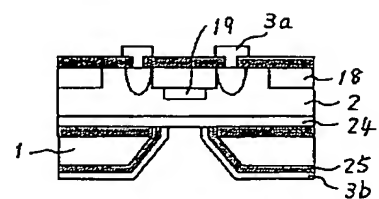
【図1】



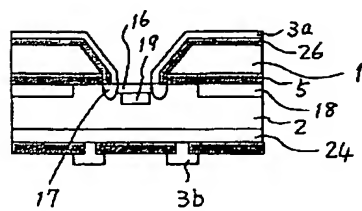
【図2】



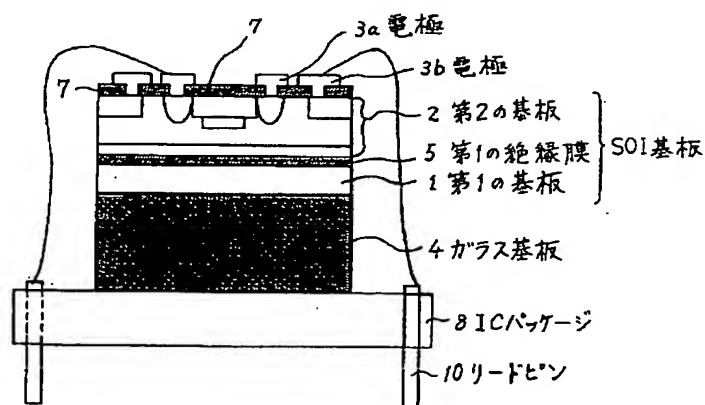
【図3】



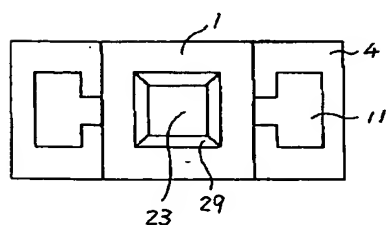
【図4】



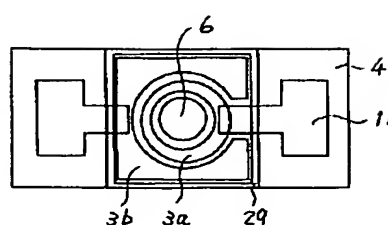
【図5】



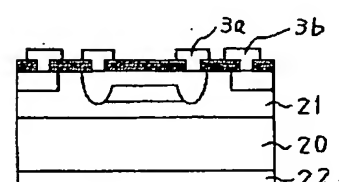
【図18】



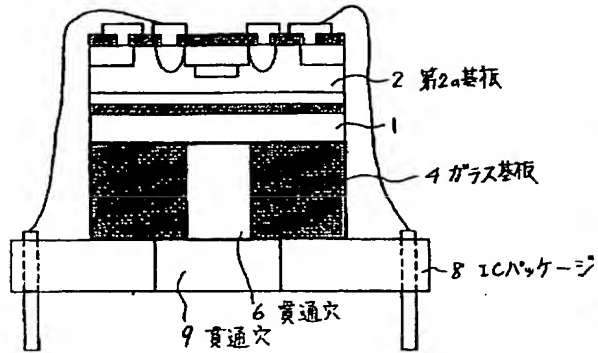
【図19】



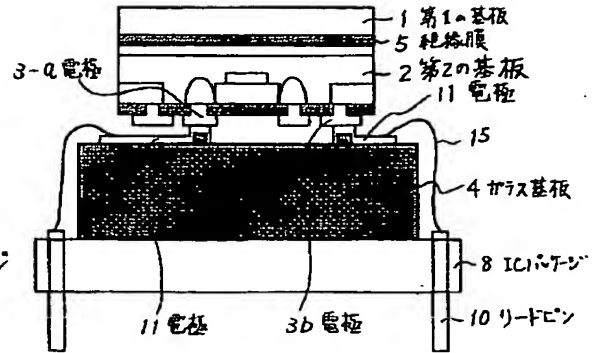
【図20】



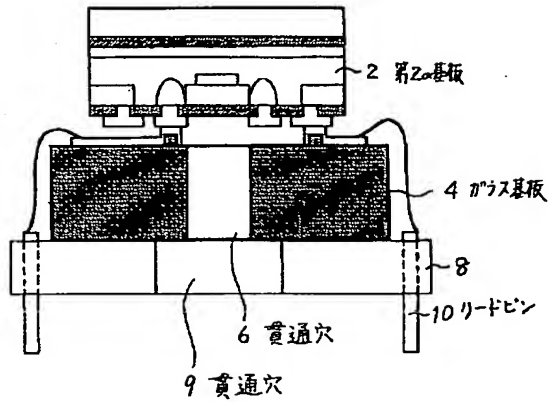
【図6】



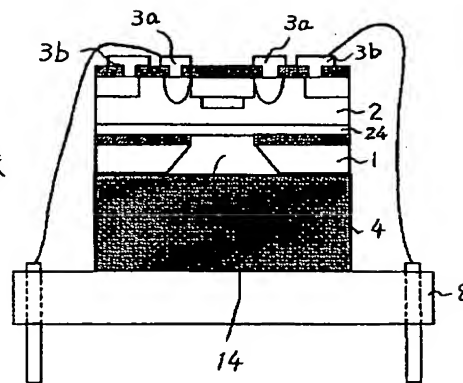
【図7】



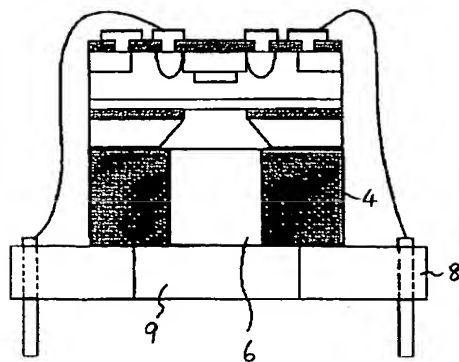
【図8】



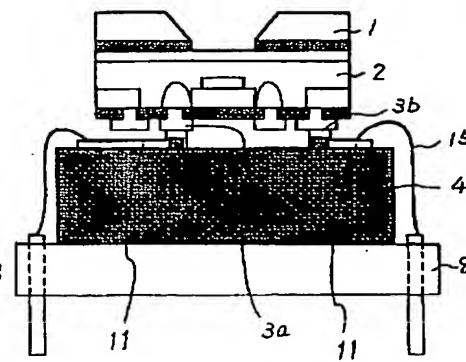
【図9】



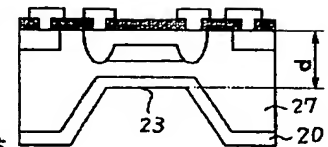
【図10】



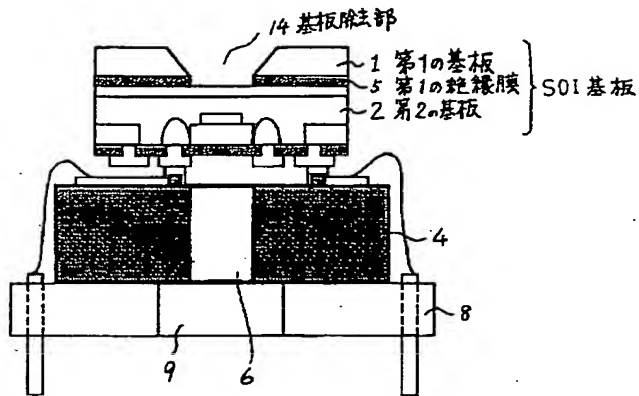
【図11】



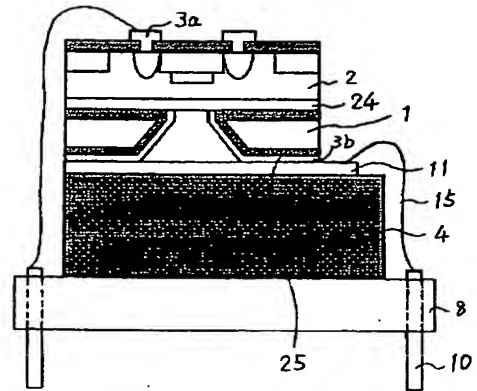
【図22】



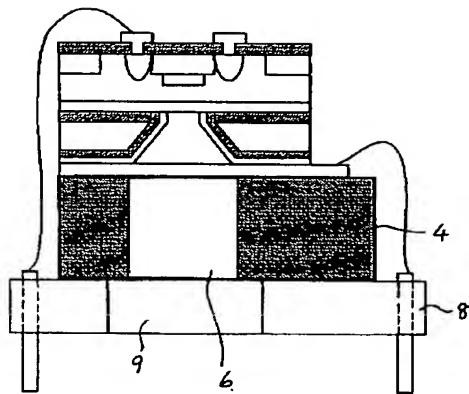
【図12】



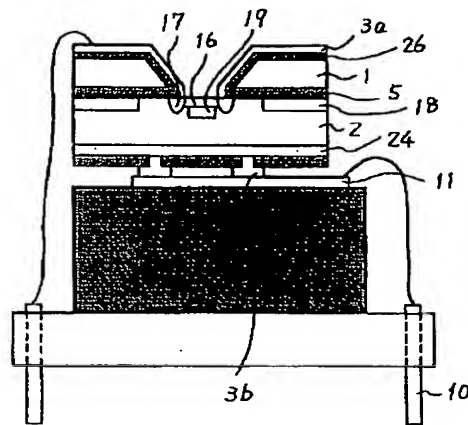
【図13】



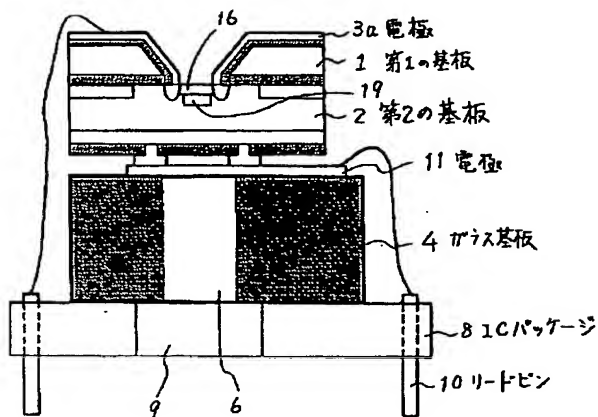
【図14】



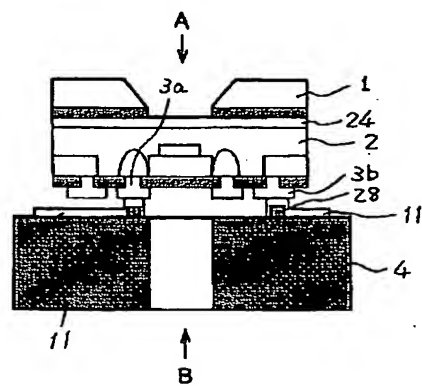
【図15】



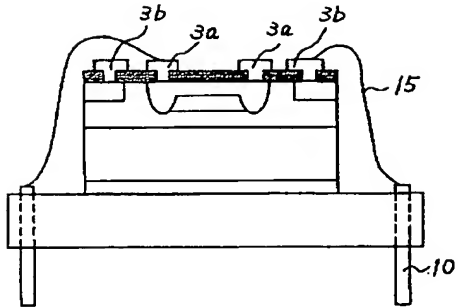
【図16】



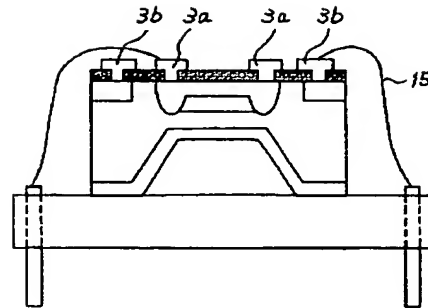
【図17】



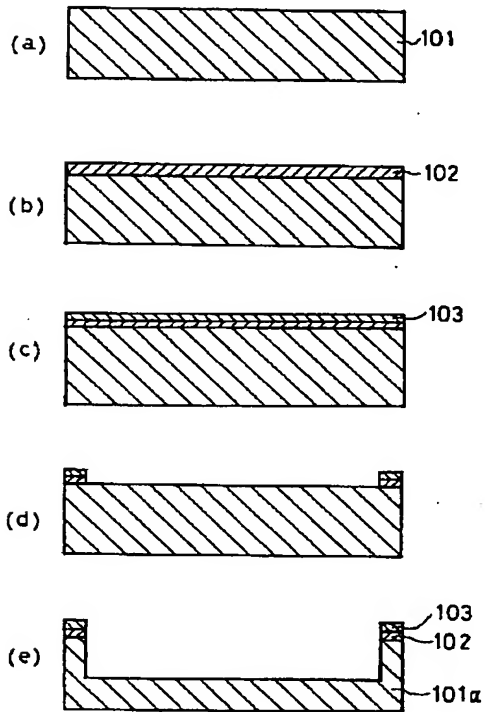
【図 21】



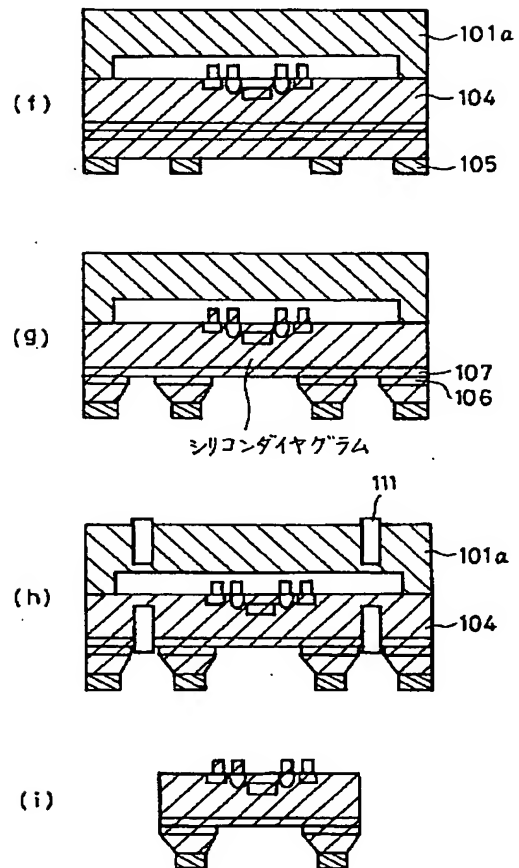
【図 23】



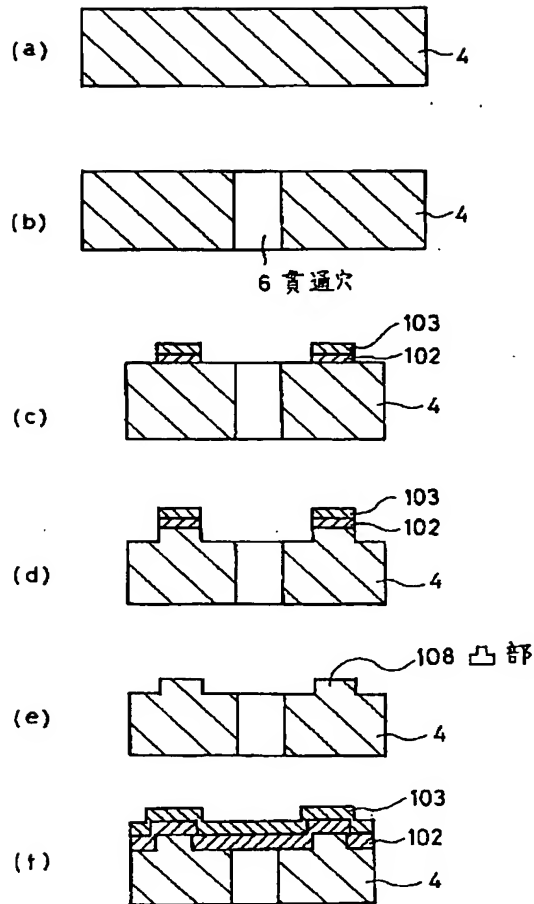
【図 24】



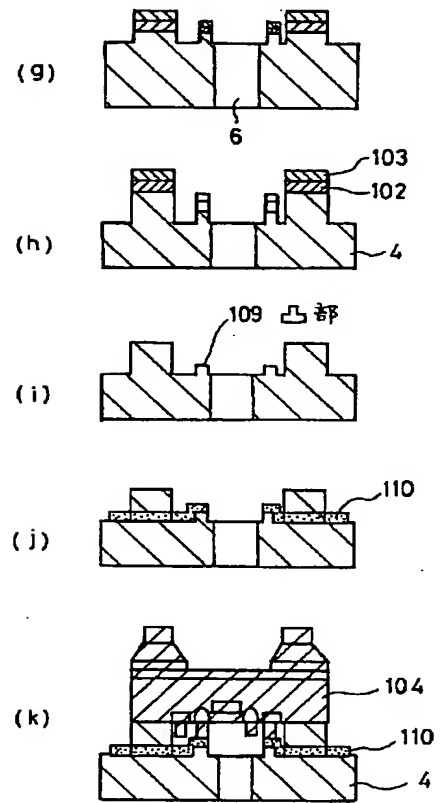
【図 25】



【図 26】



【図 27】



フロントページの続き

(72) 発明者 齊藤 豊
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内

(72) 発明者 山中 順子
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内

(72) 発明者 小関 修
千葉県千葉市美浜区中瀬 1 丁目 8 番地 セ
イコー電子工業株式会社内